GoldenBell Xilinx Spartan-6 EVB JTAG 로 최초 구동

http://www.mangoboard.com/ http://cafe.naver.com/embeddedcrazyboys Crazy Embedded Laboratory

Document History

Revision	Date	Change note
Init	2016-10-10	전종인

1.	GB1	Goldenbell Xilinx Spartan-6 EVB 보드 전원	.4
2.	USB	Cable 연결	. 5
3.	impa	CT 수행 및 JTAG 연결	. 6
	3.1.	프로젝트 구성	. 9

1. GB1 Goldenbell Xilinx Spartan-6 EVB 보드 전원

USB 5V와 DC 5V 선택 할 수 있는 점퍼로 선택합니다.



위의 그림은 USB 5V 선택 했습니다. Mini USB device에 Mini USB cable을 장착합니다.

2. USB Cable 연결

GB1 Xilinx Spartan-6 EVB



GoldenBell 보드 USB device에 Mini USB cable 연결

보드에 전원을 인가합니다. 드라이버를 설치를 해야 합니다. <u>http://www.xilinx.com/support/documentation/user_guides/ug344.pdf</u> 참조하세요. Window PC에 아래와 같이 인식이 됩니다.

5



3. iMPACT 수행 및 JTAG 연결



실행하면 아래와 같이 팝업창이 나옵니다.



-	New iMPACT Project	×
I	want to	
	Ioad most recent project	Browse
	Load most recent project file when iMPACT st	tarts
	🗇 create a new project (,ipf) default,ipf	Browse,,,
Ľ		
	OK	

d:₩CRZ_보드₩Mango-Board₩Mango-GoldenBell₩source₩



작업할 디렉토리를 설정합니다.

1	🗞 Preferences - Project Settings	Controls	×
	Category	Set iMPACT's project utilization behavior,	
	 Console XilinxNotify Proxy Settings iMPACT Configuration Preferenc File Generation Controls Project Settings Control WebTalk 	 Automatically create and save project file If you wish to have another project file location, please specify below: Location, D:/zWk,Src/Xilinx-FPGA-Goldenbell Automatically load most recent project file when iMPACT starts 	
		OK Cancel Apply H	elp

3.1. 프로젝트 구성



😼 W	Nelcome to iMPACT	x									
P	Please select an action from the list below										
۲	Configure devices using Boundary-Scan (JTAG) Automatically connect to a cable and identify Boundary-Scan chain										
	Automatically connect to a cable and identify Boundary-Scan chain 💌										
(Prepare a PROM File										
0	💿 Prepare a System ACE File										
0	💿 Prepare a Boundary-Scan File										
	SVF 🚽										
	OK Cancel										

인식이 되면 아래와 같이 나옵니다.

Device Programming Properties - Device 1 Category	Programming Prop	erties 🛁	×
Boundary-Scan Device 1 (FPGA xc6slx9)	Property Name	Value	ן ר
	Verify		
		OK Cancel Apply Help	

GoldenBell 보드는 XC6SLX9 입니다.

		Configurable Logic Blocks (CLBs)			Block RAM Blocks			Memory					
Device	Logic Cells ⁽¹⁾	Slices ⁽²⁾	Flip-Flops	Max Distributed RAM (Kb)	DSP48A1 Slices ⁽³⁾	18 Kb ⁽⁴⁾	Max (Kb)	CMTs ⁽⁵⁾	Controller Blocks (Max) ⁽⁶⁾	Blocks for PCI Express	GTP Transceivers	I/O Banks	User VO
XC6SLX4	3,840	600	4,800	75	8	12	216	2	0	0	0	4	132
XC6SLX9	9,152	1,430	11,440	90	16	32	576	2	2	0	0	4	200
XC6SLX16	14,579	2,278	18,224	136	32	32	576	2	2	0	0	4	232
XC6SLX25	24.051	3.758	30.064	229	38	52	936	2	2	0	0	4	266

Spartan-6 FPGA Feature Summary

Table 1: Spartan-6 FPGA Feature Summary by Device



칩을 선택하고, 마우스 우측키를 누르면 아래와 같이 나옵니다.



Get Device ID, Get Device Signature/Usercode, Read Device DNA를 차례로 실행해 보았다.

Get Device ID

Get Device Signature/Usercode

INFO:iMPACT - Current time: 2016-05-26 ��� // *** BATCH CMD : ReadUsercode -p 1

Maximum TCK operating frequency for this device chain: 25000000.

Validating chain...

Boundary-scan chain validated successfully.

'1': Usercode is 'ffffffff'

Read Device DNA

INFO:iMPACT - Current time: 2016-05-26 ���� // *** BATCH CMD : readdna -p 1

Maximum TCK operating frequency for this device chain: 25000000.

Validating chain...

Boundary-scan chain validated successfully.



iMPACT을 종료해 보면 위 그림과 같이 D:₩zWk.Src₩Xilinx-FPGA-Goldenbell 폴더에 아래 폴더와 파 일이 생성되어 있다.

auto_project_xdb auto_project.ipf